**Федеральное агентство по образованию**

**ГОУ ВПО Нижегородский государственный технический университет им. Р.Е. Алексеева**

**Институт радиоэлектроники и информационных технологий**

**Кафедра “Вычислительные системы и**

**Технологии”**

**Организация ЭВМ**

**Курсовая работа**

**Сравнение AMD Infinity Fabric, Intel Ring Bus и межсетевого соединения**

Студент группы 21-ПО

Малинок С.М. ­­­­­\_\_\_\_\_\_\_

Провел преподаватель кафедры ВСТ

Зеленский В.П.\_\_\_\_\_\_\_

Г. Нижний Новгород 2023

[Введение 3](#_Toc153388796)

[Ring bus или кольцевая шина 6](#_Toc153388797)

[Межсетевая структура 8](#_Toc153388798)

[Infinity fabric 10](#_Toc153388799)

[Организация передачи данных в разных архитектурах 11](#_Toc153388800)

[Сравнительные тесты 12](#_Toc153388801)

[Заключение 14](#_Toc153388802)

[Источники: 15](#_Toc153388803)

Введение

Внутренние соединения в процессорах играют решающую роль в скорости и качестве современных вычислительных системах, позволяя различным компонентам взаимодействовать друг с другом и обмениваться данными на высоких скоростях. В своей работе я рассматриваю различные типы изобретённых соединений, их плюсы и минусы, а также то, как они помогают улучшить производительность и функциональность вычислительных систем.

Одним из наиболее распространенных типов соединений является шинная архитектура, которая существует с первых дней существования компьютеров. Шина — это общий путь, который соединяет несколько компонентов с процессором или контроллером памяти. Данные проходят по шине в определенном порядке, и каждый компонент отвечает за сбор данных, когда они ему необходимы.

Архитектура шины относительно проста в проектировании и реализации, но имеет некоторые ограничения. Во-первых, данные должны передаваться в одном направлении, что может ограничить производительность системы. Во-вторых, объем передаваемых данных ограничен пропускной способностью шины. Высокопроизводительным системам часто требуется более высокая пропускная способность для обработки больших объемов данных за короткий промежуток времени, что может привести к узким местам в архитектуре шины.

Чтобы устранить эти ограничения, разработчики разработали более совершенные технологии соединений. Одним из примеров такой технологии является перекрестный переключатель, который имеет матрицу взаимосвязей, позволяющую передавать данные между любыми двумя точками в любом направлении. Хотя перекрестный коммутатор сложнее обычной шины, он обеспечивает высокую пропускную способность и низкую задержку, что делает его идеальным выбором для высокопроизводительных систем.

Другим типом соединений является интерфейс передачи сообщений (MPI), который широко используется в высокопроизводительных вычислениях (HPC). MPI обеспечивает параллельную обработку, разбивая крупномасштабную задачу на более мелкие задачи, которые можно выполнять на разных процессорах. Процессоры общаются друг с другом посредством сообщений, что позволяет им обмениваться данными и координировать свои усилия.

Хотя MPI является мощным инструментом для параллельной обработки, его может быть сложно использовать, и для его реализации требуется определенный уровень знаний. Другое ограничение заключается в том, что данные необходимо сериализовать и десериализовать для каждого сообщения, что может увеличить накладные расходы и замедлить обмен данными между процессорами.

Поскольку вычислительные системы продолжают расти в размерах и сложности, растет потребность в еще более совершенных технологиях межсоединений. Одним из недавних примеров является межсетевая структура, которая обеспечивает высокомасштабируемую и гибкую взаимосвязанную сеть, обеспечивающую высокоскоростную связь между различными компонентами. В своей курсовой работе я бы хотел сравнить две конкурирующие архитектуры внутрипроцессорных соединений друг с другом и насколько они эффективны чем межсетевая структура.

Сердцем любой вычислительной системы является центральный процессор (ЦП), который отвечает за выполнение сложных вычислений и выполнение инструкций. Для эффективного выполнения этих задач ЦП должен взаимодействовать с другими компонентами системы, такими как память, устройства хранения и устройства ввода/вывода (I/O). Для этого требуется надежная и эффективная архитектура межсоединений.

Взаимосвязи ЦП с годами развивались от простых структур шин, таких как внешняя шина (FSB), до более сложных межсоединений, таких как Intel Ring Bus и AMD Infinity Fabric. Каждая архитектура межсоединений имеет свои уникальные особенности и преимущества, и выбор подходящей архитектуры для конкретной системы может оказать существенное влияние на ее производительность.

Одним из основных факторов, которые следует учитывать при проектировании взаимодействия с ЦП, является задержка. Задержка относится к количеству времени, которое требуется сигналу данных для прохождения от одного компонента к другому. В высокопроизводительной вычислительной системе задержка может стать основным ограничивающим фактором, поскольку она может замедлить обработку данных и снизить общую производительность системы. Поэтому крайне важно выбрать архитектуру межсоединений, которая минимизирует задержку.

Еще одним ключевым фактором является пропускная способность межсоединения. Пропускная способность — это объем данных, который может быть передан в течение определенного периода времени. Если пропускная способность межсоединения слишком мала, это может привести к проблемам с передачей данных и повлиять на общую производительность системы. Для достижения высокопроизводительных вычислений важно выбрать архитектуру межсоединений, обеспечивающую высокую пропускную способность.

Одной из наиболее часто используемых архитектур межсоединений для процессоров является кольцевая шина. Архитектура кольцевой шины состоит из непрерывного цикла, и данные перемещаются по нему до тех пор, пока не достигнут пункта назначения. Преимущество этой архитектуры заключается в минимальной задержке и высокой пропускной способности, что делает ее популярным выбором для высокопроизводительных вычислительных систем.

Однако архитектура кольцевой шины также имеет ограничения. Он не может хорошо масштабироваться, а количество компонентов, которые можно подключить к шине, ограничено размером кольца. Это может создавать узкие места, особенно в крупномасштабных системах.

Ring bus или кольцевая шина

Кольцевая шина Intel — это тип архитектуры межсоединений, используемый в компьютерных системах, позволяющий компонентам взаимодействовать друг с другом на высоких скоростях. Архитектура кольцевой шины представляет собой непрерывный контур, подобный кольцу, который соединяет все компоненты системы. Сигнал передается от одного компонента к другому по круговой схеме, подобно передаче эстафеты. Основным преимуществом кольцевой шины является ее простота и дешевизна. Его проще и дешевле реализовать по сравнению с другими типами межсоединений, например межсетевыми связями. Еще одним преимуществом является то, что кольцевая шина имеет низкую задержку, а это означает, что сигнал может быстро передаваться от одного компонента к другому. Это позволяет системе выполнять операции на высоких скоростях, что важно для приложений, требующих обработки в реальном времени, таких как игры или редактирование видео. Однако кольцевая шина имеет и некоторые недостатки. Сигнал распространяется по круговой схеме, что может создавать узкие места и ограничения производительности по мере роста системы. Кроме того, единый путь ограничивает количество компонентов, которые можно подключить к шине, что может ограничить масштабируемость. Эти недостатки часто усугубляются в системах с высокой плотностью данных, таких как суперкомпьютеры и центры обработки данных. Чтобы преодолеть эти ограничения и повысить производительность, компания Intel разработала несколько вариантов кольцевой шины, например, всенаправленную кольцевую шину, которая обеспечивает несколько направлений для потока данных, и шину памяти с высокой пропускной способностью (HBM), которая использует память, чтобы улучшить пропускную способность и уменьшить задержку.

На рисунке (Рис. 1) приведённом ниже показана организация архитектуры кольцевой шины. Рассмотрим её:

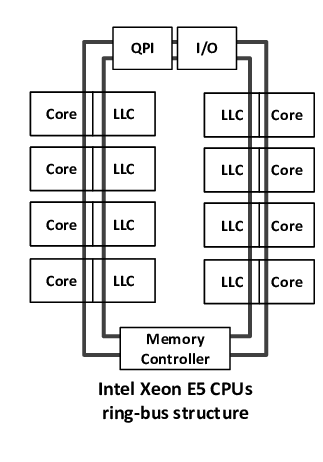
QPI – Intel QuickPath Interconnect (QPI) — это соединение процессора «точка-точка», разработанное Intel, которое заменило внешнюю шину (FSB) в Xeon, Itanium и некоторых настольных платформах, начиная с 2008 года. Оно отвечает за отправку данных с процессора по кольцевой шине

I/O – это элемент обработки ввода и вывода с процессора

Memory Controller, это контроллер памяти, он отвечает за связь процессора с оперативной памятью компьютера.

LLC - LLC- Last Level Cache, общий кэш высшего уровня, который вызывается перед доступом к памяти, обычно называется кэшем последнего уровня (LLC).

Core – Ядро процессора.

Рис. 1

Межсетевая структура

Кольцевая шина Intel довольно мощный инструмент для небольших систем, однако необходимость подбирать архитектуру к создаваемой системе заставило intel отказаться от кольцевой шины, и в настоящее время процессоры intel используют межсетевую структуру. Межсетевая структура — это высокопроизводительная архитектура межсоединений, которая позволяет нескольким компонентам системы взаимодействовать друг с другом на высоких скоростях. В отличие от традиционных шинных архитектур, таких как кольцевая шина, которые обычно состоят из одного пути передачи данных, межсетевая структура позволяет данным перемещаться по системе в нескольких направлениях одновременно. Межсетевая структура состоит из сети коммутаторов и маршрутов, которые соединяют различные компоненты системы, создавая гибкую и масштабируемую архитектуру. Связь может быть спроектирована так, чтобы иметь несколько путей между различными компонентами системы, и каждый путь может работать с разной скоростью, в зависимости от требований к данным конкретного компонента. Одним из ключевых преимуществ межсетевой структуры, которое и стало причиной отказа от кольцевой шины, является её способность поддерживать большое количество компонентов. Поскольку размер и сложность вычислительных систем продолжают расти, потребность в масштабируемой и гибкой архитектуре межсоединений становится всё более важной. Межсетевая структура может быть спроектирована для поддержки десятков тысяч компонентов, что делает её идеальным выбором для крупномасштабных систем, таких как суперкомпьютеры и вычислительные системы. Еще одним ключевым преимуществом межсетевой структуры является ее способность минимизировать задержку. Задержка — это количество времени, которое требуется данным для перемещения от одного компонента системы к другому. Имея несколько путей между компонентами, структура межсоединений может выбрать путь, оптимальный для конкретных передаваемых данных, что приводит к минимальной задержке. В дополнение к преимуществам, упомянутым выше, межсетевая структура также может улучшить производительность системы за счет снижения трафика через общую шину. Предлагая выделенный путь для каждого компонента, архитектура позволяет уменьшить объем данных, которые должны передаваться по общей шине, тем самым повышая производительность. В целом, межсетевая структура является одной из самых оптимальных архитектур для высокопроизводительных вычислительных систем, обеспечивающая масштабируемость, гибкость и связь компонентов друг с другом с малой задержкой.

На рисунке приведённом ниже (Рис. 2) мы можем увидеть как организована архитектура межсетевой структуры в процессорах Intel Xeon. Разберемся, как она устроена:

UPI — это элемент процессора, который обеспечивает когерентное соединение с малой задержкой для масштабируемых многопроцессорных систем с общим адресным пространством. Он использует протокол когерентности домашнего отслеживания на основе каталогов со скоростью передачи до 10,4 ГБ/с. Поддерживающие процессоры обычно имеют два или три канала UPI.

I/O – это элемент, отвечающий за ввод и вывод информации, к нему относится свой Ultra Path Interconnect.

IMC – Integrated Memory Controller, это элемент системы контролирующий поток данных и которые приходят в процессор из оперативной памяти и наоборот.

Core – ядро процессора

SF – Snoop Filter, фильтр прослушивания шины - это схема, с помощью которой контроллер когерентности в кэше отслеживает или отслеживает транзакции шины, и его цель — поддерживать согласованность кэша в распределенных системах с общей памятью.

CHA - Комбинированный элемент кэширования (CHA) контролирует правильность общения между несколькими процессорами, а также отслеживает запросы от ядер процессора, а также локальных и удаленных элементов. Отдельные физические CHA размещаются внутри каждого ядра процессора и кэша последнего уровня (LLC) для улучшения масштабируемости в зависимости от количества ядер, контроллеров памяти или режима кластеризации. Адресное пространство чередуется между различными CHA, которые действуют как единый логический элемент.

LLC- Last Level Cache, общий кэш высшего уровня, который вызывается перед доступом к памяти, обычно называется кэшем последнего уровня (LLC).

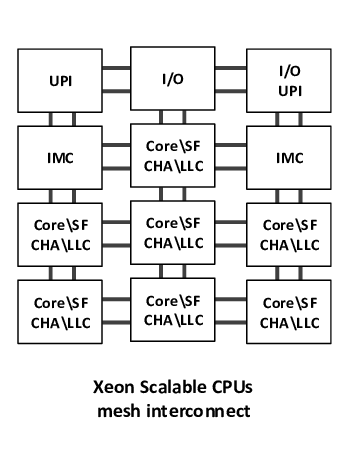


Рис. 2

Infinity fabric

Несмотря на все плюсы межсетевой структуры, существует ещё одна архитектура от AMD, которая готова соревноваться за звание самой быстрой. AMD Infinity Fabric — это технология высокоскоростного соединения, которая позволяет различным компонентам компьютерной системы взаимодействовать друг с другом. Она так же, как и межсетевая структура разработана для устранения ограничений старых технологий межсоединений, таких как кольцевые шины и предком infinity fabric - AMD HyperTransport, которые являются слишком медленными, сложными, а так же имеют ограниченную пропускную способность. Infinity Fabric использует серию высокоскоростных соединений для связи различных компонентов, включая центральные и графические процессоры, контроллеры памяти и другие компоненты системы. Она работает как сеть ячеек и позволяет данным передаваться в нескольких направлениях одновременно. Это обеспечивает высокую пропускную способность, низкую задержку и эффективное энергопотребление. Infinity Fabric обладает высокой масштабируемостью и гибкостью, то есть может поддерживать большое количество компонентов, а также её можно настроить для различных вариантов использования. Она также поддерживает высокие тактовые частоты, что делает её идеальным выбором для высокопроизводительных вычислений и интенсивной работы с данными, например для работы с искусственным интеллектом и машинным обучением. Обеспечивая эффективную связь между различными компонентами с малой задержкой, Infinity Fabric помогает раскрыть весь потенциал современных аппаратных архитектур, что делает ее критически важным компонентом многих продуктов AMD, включая процессоры, наборы микросхем для материнских плат и даже видеоадаптеры.

На картинке ниже (рис.3) показана архитектура AMD Infinity Fabric на примере

Die – Это обозначение кристалла в процессоре. Как мы видим, на картинке показано 4 кристала, каждый из которых содержит в себе CCX Кластер, элемент I/O DDR и связующий элемент ∞. Разберёмся с каждым из них:

CCX — это термин, используемый для процессоров AMD и обозначающий процессорный или ядерный комплекс. Это слово означает группу из четырех ядер процессора и их кэшей (L1, L2, L3). Технология AMD Infinity Fabric соединяет несколько CCX — так получаются процессоры Ryzen.

I/O – Элементы ввода/вывода, как мы видим на схеме, в каждом кристалле по два элемента ввода/вывода и они соединены с интерфейсами P0…P3 и G0…G3, это интерфейсы сигналов Propagate и Generate.

DDR – Это контроллер работы с памятью. На картинке видно, как контроллер каждого кластера соединён со своей ячейкой памяти MF, MH, MG, MF, MB, MC, MD, MA.

∞ - На изображении так обозначается архитектура Infinity Fabric. Как было уже описано, Infinity Fabric организовывает внутрипроцессорные связи, поэтому на схемах отображено по 4 значка, каждый из которых связан с одним из кристаллов, обеспечивая стабильную работу всех кристаллов и всех кластеров одновременно.

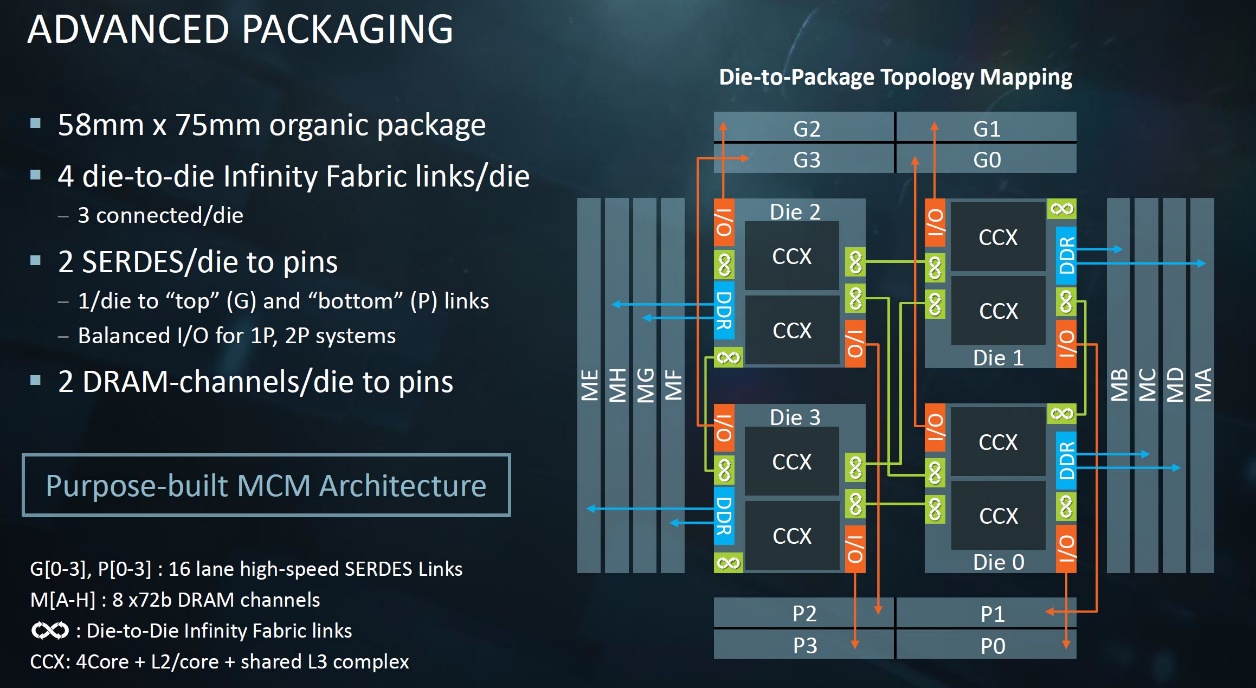


Рис. 3

Организация передачи данных в разных архитектурах

Кольцевая шина от Intel была разработана в 2008 году. Она была необходима в связи с увеличением числа ядер на кристалле. Разработчики Intel использовали три варианта дизайна процессоров (в зависимости от максимального числа ядер на кристалле) с тремя вариантами кольцевой шины. В самом сложном случае процессор внутри разделялся на два кластера, каждый из которых обслуживался двумя кольцевыми шинами. Между собой шины соединялись двунаправленными коммутаторами с буферизацией. Разрядность шины зависит от количества компонентов в процессоре, передача данных осуществляется в одну сторону по шине, по очереди посещая каждый элемент системы. Управление в процессоре происходит так, что на элемент I/O входит команда, а элемент QPI даёт адрес куда команда должна попасть (core LLC или Memory) и по шине в одном направлении отправляет данные.

Характеристики кольцевой шины:

* Группировка элементов в архитектуре происходит двумя рядами, связанными одной шиной, по правой и левой стороне расположены ядра, кэш, сверху располагаются элементы ввода, элемент QPI, снизу элементы доступа к оперативной памяти.
* Разрядность системы зависит от количества элементов этой системы (от 32 бит до 64 бит)
* Архитектура состоит из одной шины
* Данные по шине передаются в одном направлении по кругу
* Передача происходит по схеме: Вход команды -> Передача от модуля входа на модуль QPI -> модуль QPI присваивает команде адрес назначения-> команда по шине отправляется на модуль назначения
* Разрядность шины на момент изобретения составляла 16 бит
* Разрядность шины в последней итерации составляет 512 бит
* Пропускная способность шины составляет до 96 Гб/с
* Максимальная частота кольцевой шины без разгона 3 ГГц
* Максимальная частота кольцевой шины при использовании разгона составляет 3,6 ГГц
* Максимальная частота кэша в архитектуре без разгона 3,6 ГГц
* Максимальная частота кэша при использовании разгона 4 ГГЦ

Функциональное разделение кольцевой шины:

В процессорах на основе архитектуры кольцевой шины шина физически одна, но на уровне адресации данных, каждая часть шины выполняет свою роль. Так, шина делится на системную линию и линию памяти:

* Системная линия отвечает за обмен информацией между чипсетом и процессором
* Линия памяти отвечает за связь процессора и памяти
* Стоит отметить, что в более ранних версиях кольцевой шины присутствовала линия оперативной памяти, и линия кэш памяти, но от такой организации отказались так как количество данных с кэша на процессор было гораздо меньше максимальной пропускной способности линии кэша, а у линии оперативной памяти ситуация была противоположная, из за чего на высоконагруженных системах возникали задержки выполнения команд, и интел объединили эти шины в одну увеличив их общую пропускную способность

Infinity Fabric состоит из двух отдельных плоскостей связи: Масштабируемая фабрика данных Infinity (SDF) и масштабируемая фабрика управления (SCF). SDF — это основное средство, с помощью которого данные передаются по всей системе между конечными точками, например, NUMA-узлами (non-uniform Memory access — неравномерный доступ к памяти, есть корогенные и некорректные. По сути, NUMA — это архитектура, которая представлена в AMD Opteron. В новой архитектуре каждый процессорный сокет имеет прямой доступ только к определенным слотам памяти и образует NUMA-узел. То есть при 4 процессорах и 64 ГБ памяти у вас будет 4 NUMA-узла по 16 ГБ каждый. памяти.) или PHY. SDF может иметь десятки соединительных точек, соединяющие такие вещи, как PHY PCIe, контроллеры памяти, различные вычислительные и исполнительные устройства. SCF - дополнительная плоскость, которая обрабатывает передачу множества разных сигналов управления системой - туда входят такие вещи как управление температурой и питанием, тесты, безопасность и IP сторонних производителей. С помощью этих двух плоскостей AMYDE может эффективно масштабировать многие базовые вычислительные блоки.

Характеристики Infinity Fabric:

* Расположение элементов в системе: кристаллы процессора находятся в квадрате в центре системы, в центре кристалла располагаются кластеры, состоящие из элементов кэша и ядер, по контуру кристалла расположены элементы infinity fabric, ввода и доступа к оперативной памяти и регистрам.
* Разрядность системы зависит от количества кластеров (от 32 бит до 64 бит)
* Представляет из себя двунаправленную шину (Данные проходят в обе стороны)
* Обработка данных происходит в порядке: Модуль ввода -> Передача команды на шину infinity fabric -> присваивание команде адреса назначения -> Передача команды по шине на присвоенный адрес.
* Количество связующих шин зависит от количества кристаллов, на каждый кристалл приходится столько же шин, сколько кристаллов в процессоре
* Пропускная способность составляет 64 Гб/с
* Разрядность шин на момент изобретения архитектуры составляла 256 бит
* Разрядность шин в последней итерации архитектур составляет 512 бит
* Максимальная частота шины 2 ГГц, архитектура с заводя работает на максимально возможной частоте, разгоны приводят к поломкам процессоров
* Максимальная частота кэша 2 ГГц

Функционально разделение шины Infinity Fabric:

Функционально разделение Infinity fabric: шина Infinity Fabric имеет огромную пропускную способность в 64 ГБ/c и большую разрядность, поэтому делится на три линии:

* Линия данных содержит в себе пакеты данных
* Линия адреса содержит адреса элементов (Кристаллов, кластеров и так далее).
* Системная линия обеспечивает контроль передачи пакетов данных между элементами процессора (Кластерами, элементами ввода/вывода, кристаллами)

Таким образом шина infinity fabric обеспечивает взаимосвязь на огромных скоростях между элементами кристаллов, но не взаимодействует с внешними источниками (такими как чипсеты в кольцевой архитектуре)

Архитектура межсетевых соединений intel использует сеть взаимосвязанных узлов, которые позволяют передавать данные в нескольких направлениях одновременно. Это стало возможным благодаря параллельному и ориентированному на соединение характеру структуры, которая позволяет передавать данные от одного компонента к другому без необходимости использования промежуточного коммутатора или маршрутизатора. Данные также поступают от контроллеров PCIe в верхней части кристалла, а также по двум каналам между сокетами. Межсокетные каналы управляют потоком данных между процессорами в конфигурациях серверов с двумя сокетами. В прошлом Intel использовала QPI (QuickPath Interconnect) для межсокетной связи, но, позже, она стала использовать новое соединение UPI для серверных процессоров Skylake (Purley).

Характеристики Межсетевой структуры:

* Элементы расположены прямоугольной сеткой, размерность сетки зависит от количества ядер по формуле N+2 где N — это количество ядер
* Разрядность системы зависит от количества элементов в системе (от 32 бит до 64 бит)
* Данные передаются с помощью архитектуры UPI. Каждый процессор имеет как минимум два элемента UPI для доступа к присвоенным ему кластерам. Каждый элемент кластера имеет прямую связь с элементом UPI, поэтому когда команда с элемента ввода поступает на UPI, тот напрямую отправляет команду к элементу кластера.
* Разрядность шины составляет 512 бит
* Тактовая частота шины равняется частоте процессора.
* Максимальная частота 4.7 ГГц
* Пропускная способность шины до 100 Гб/с
* Максимальная частота кэша 4.3 ГГц в Турбо-режиме

Функциональное разделение межсетевой структуры

Межсетевая структура в отличии от Infinity Fabric и Ring Bus не является одиночной шиной. Так, в межсетевой структуре элементы связаны с архитектурой UPI, описанной выше, поэтому функционально шина межсетевой структуры выглядит так:

* Линия адресов, отвечает за адресацию между элементом и присвоенного ему элемента UPI
* Линия данных отправляет данные с элемента на присвоенный ему элемент архитектуры UPI

А функциональное разделение шины UPI выглядит иначе:

* Линия памяти, отвечает за обмен данными между элементом UPI и IMC (integrated memory controller, ещё одна архитектура от intel)
* Линия Кэш памяти отвечает за обмен данными между элементом UPI и кэшем процессора
* Системная линия отвечает за пересылку информации от чипсета к UPI

Таким образом, данные и команды изнутри процессора попадают сначала на элемент UPI по его шине, а затем уже на внешние устройства.

Сравнительные тесты

Сравнение производительности различных архитектур межсоединений, таких как межсетевая структура и infinity fabric — непростая задача. Производительность архитектуры межсоединений определяется рядом факторов, включая конкретную реализацию, тип передаваемых данных и конкретный вариант использования, для которого используется архитектура. В целом, межсетевая структура и infinity fabric имеют разные компромиссы с точки зрения задержки, пропускной способности и гибкости, а их производительность может зависеть от конкретной реализации и сценария использования. В некоторых случаях межсетевая структура может быть быстрее чем Infinity Fabric, тогда как в других случаях Infinity Fabric может работать лучше. Также важно отметить, что задержка и пропускная способность не всегда являются единственными факторами, которые следует учитывать при оценке производительности архитектуры межсоединений. Способность архитектуры масштабироваться, ее энергопотребление и простота использования также являются важными факторами. Для наглядного сравнения трёх архитектур, я взял информацию из независимого тестирования, проведённого компанией CPU-Z:

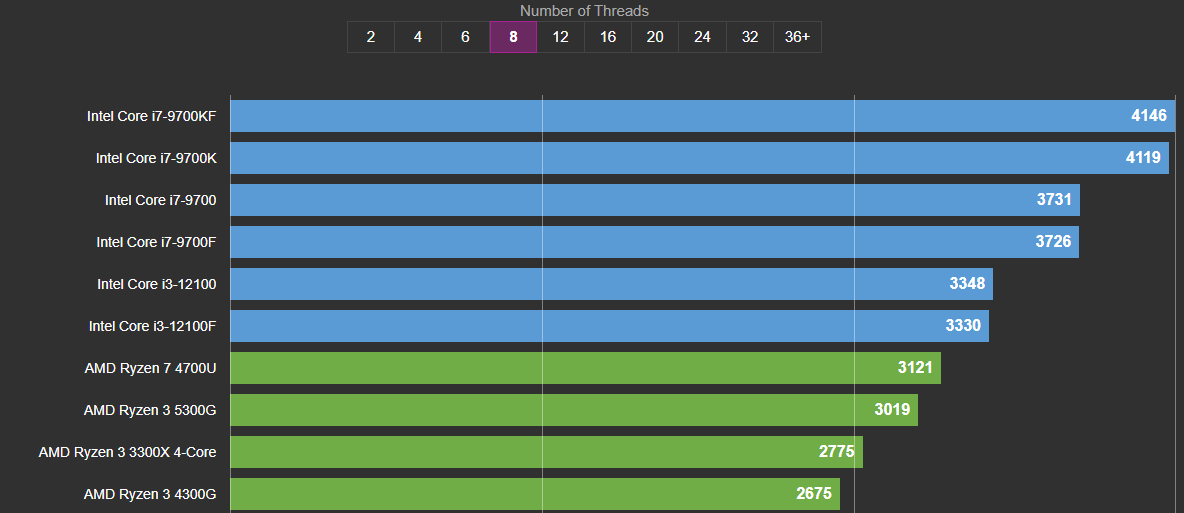


Рис.4

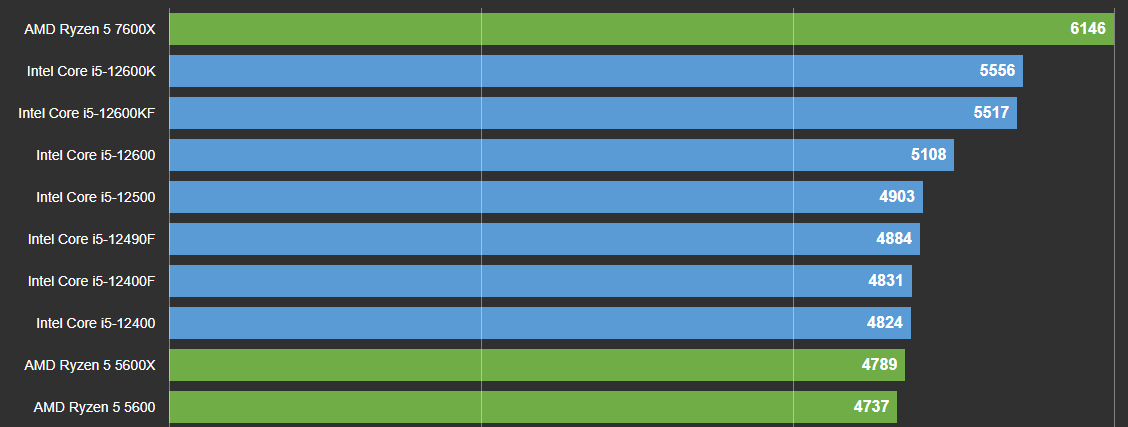


Рис.5

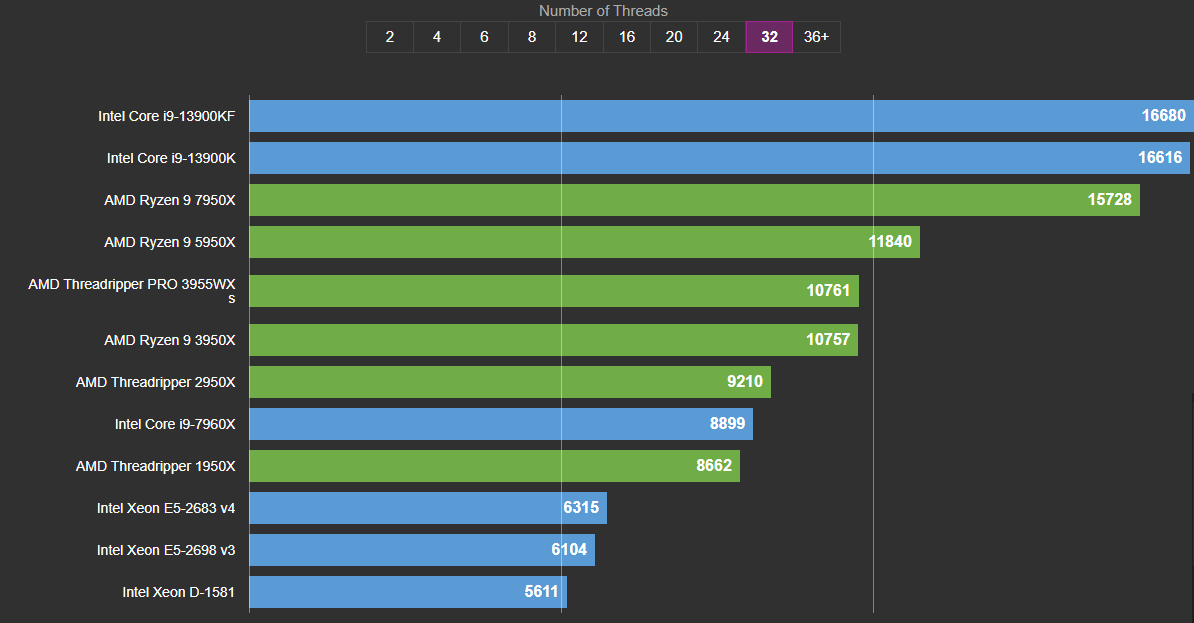


Рис.6

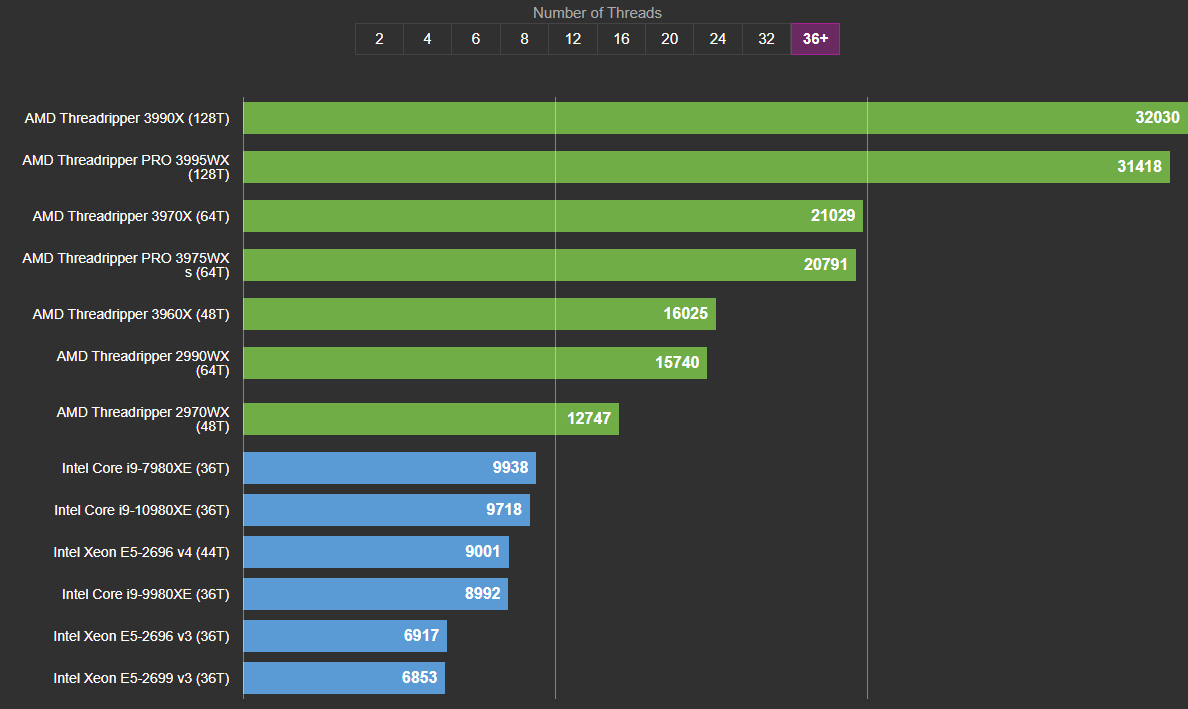


Рис.7

Как мы видим, из процессоров использующих Infinity fabric для 8 и 12 ядер в топ-10 входят лишь 4 и 3 соответственно (рис.5), они уступают в мощности своим аналогам от intel, которые используют межсетевую структуру, однако если рассматривать серверные процессоры, мы видим совершенно иную картину: infinity fabric с увеличением количества ядер, оказывается в огромном отрыве от процессоров с межсетевой структурой (Рис.7). Это обеспечивается тем, что потери в задержке с увеличением количества компонентов у infinity fabric меньше, чем у межсетевой структуры, однако при небольшом количестве ядер, всё-таки межсетевая структура выигрывает.

Заключение

В заключение стоит отметить, что кольцевая шина уже имеет мало применений, а межсетевая структура и infinity fabric имеют некоторое сходство, но они различаются с точки зрения конструкции, масштабируемости и гибкости. Межсетевая система лучше показывает себя на мало и средненагруженных системах. С другой стороны Infinity Fabric, обеспечивает гибкое и масштабируемое решение, обеспечивающее высокоскоростную передачу данных и низкую задержку даже на системах с максимальной нагрузкой.

Источники:

<https://www.servethehome.com/amd-epyc-infinity-fabric-update-mcm-cost-savings/>

<https://valid.x86.fr/bench/32>

<https://www.hardwareluxx.ru/index.php/news/hardware/prozessoren/42271-intel-skylake-x-sp-mesh-ringbus.html>

<https://resurs-service.ru/Intel_mesh>

<https://i2hard.ru/publications/28746/>

<https://www.amd.com/en/technologies/infinity-architecture>

<https://www.ixbt.com/news/2017/03/17/infinity-fabric-amd-ryzen.html>

<https://po-stroika.ru/cto-takoe-infinity-fabric-v-sinax-i-kak-ono-rabotaet/>

<https://en.wikichip.org/wiki/intel/mesh_interconnect_architecture>